

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PTO/SB/21 (08-03)
Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/708,046	
	Filing Date	02/04/2004	
	First Named Inventor	Chih-Hao Wang	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	VIAP0082USA

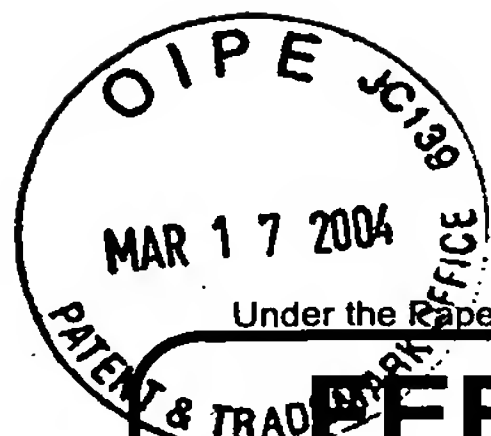
ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	Response to the office action has been sent to the examiner by fax on 12/04/2003	

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	3/15/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/708,046
Filing Date	02/04/2004
First Named Inventor	Chih-Hao Wang
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0082USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims		-20** =		X		=	
Independent Claims		-3** =		X		=	
Multiple Dependent						=	

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

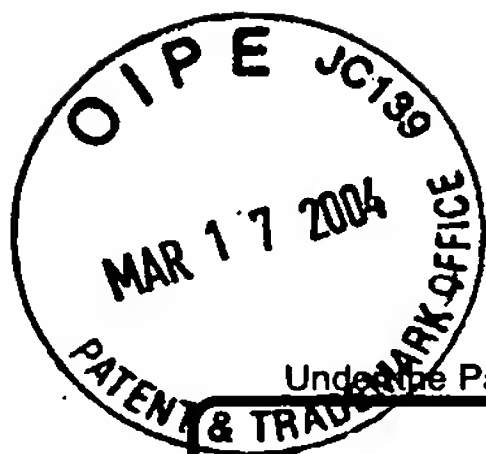
(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	3/15/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

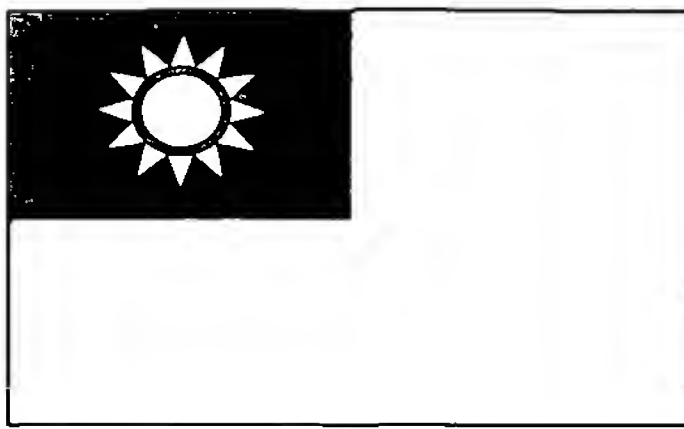
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092105013	Taiwan R.O.C	03/07/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 07 日
Application Date

申請案號：092105013
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 4 月 10 日
Issue Date

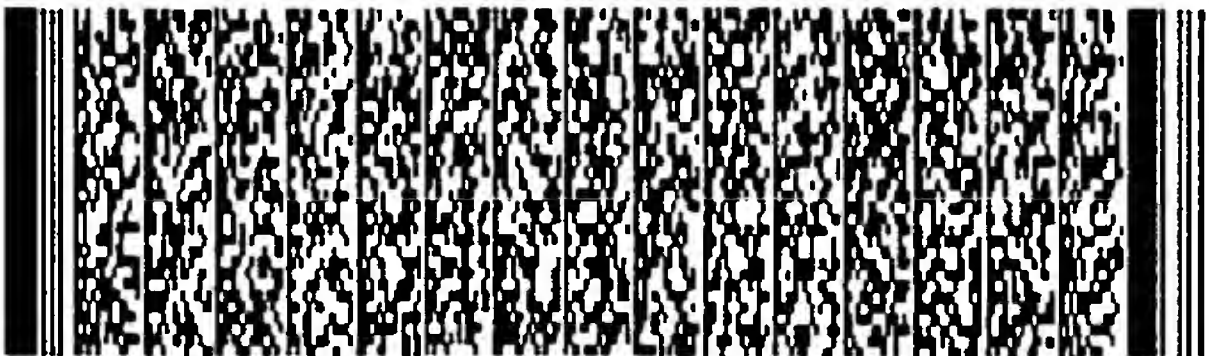
發文字號：09220357570
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	一種設定顯示驅動電路之像素時脈的方法
	英 文	METHOD FOR SETTING PIXEL CLOCK OF A DISPLAY DRIVING CIRCUIT
二、 發明人 (共1人)	姓 名 (中 文)	1. 王志豪
	姓 名 (英 文)	1. Wang, Chih-Hao
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英 文)	1. VIA TECHNOLOGIES, INC.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中 文)	1. 王雪紅
	代表人 (英 文)	1. Wang, Hsueh-Hung



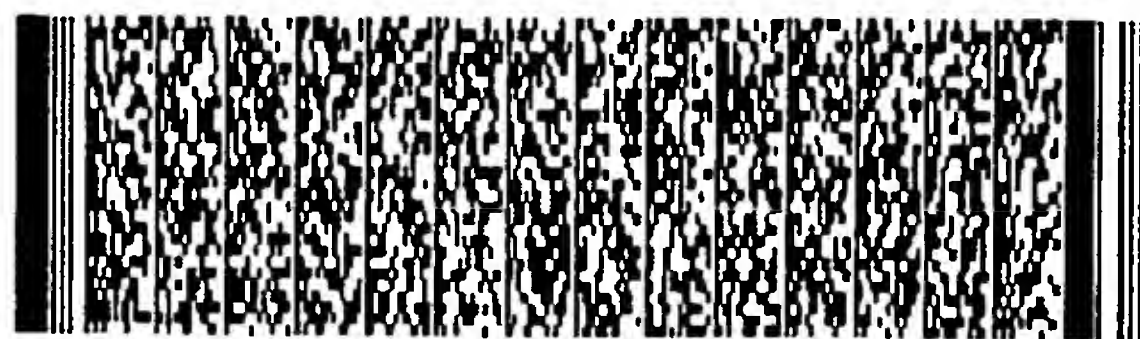
四、中文發明摘要 (發明名稱：一種設定顯示驅動電路之像素時脈的方法)

本發明提供一種設定顯示驅動電路之像素時脈的方法，該顯示驅動電路包含有一基本輸入/輸出系統用來控制一時脈產生器產生像素時脈。該方法包含有讀取一顯示模式之預定像素時脈值，使用複數個比例值調整一參考時脈值以產生複數個運算值，使用複數個數值 R 來將各個運算值向右位移 R 位元以產生複數個商值，比較該複數個商值與該預定像素時脈值之間之複數個差值，以決定一最佳商值，以及依據該最佳商值之相對應比例值與相對應運算值向右位移的位元數來控制該時脈產生器所產生之實際像素時脈。

五、(一)本發明之代表圖為第三圖。

六、英文發明摘要 (發明名稱：METHOD FOR SETTING PIXEL CLOCK OF A DISPLAY DRIVING CIRCUIT)

A method for setting pixel clock of a display driving circuit is disclosed. The display driving circuit has a basic input/output system (BIOS) for controlling a clock generator to output the pixel clock. The method includes reading a predetermined pixel clock according to a display mode setting, utilizing a plurality of scaling factors to respectively adjust clock value of a



四、中文發明摘要 (發明名稱：一種設定顯示驅動電路之像素時脈的方法)

六、英文發明摘要 (發明名稱：METHOD FOR SETTING PIXEL CLOCK OF A DISPLAY DRIVING CIRCUIT)

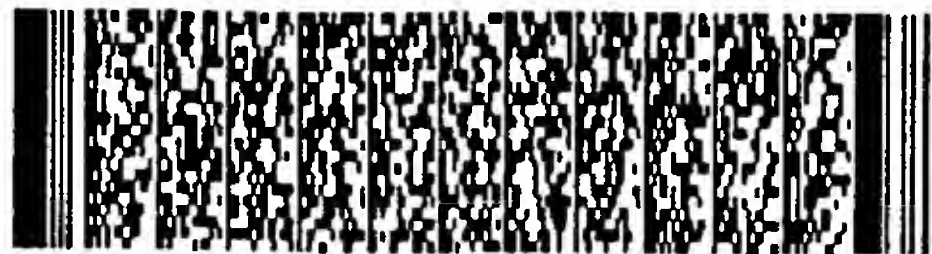
reference clock for generating a plurality of calculation results, utilizing a plurality of coefficients R to respectively right-shift R bits of the calculation results for generating a plurality of quotients, comparing a plurality of differences between the quotients and the predetermined pixel clock for obtaining an optimum quotient, and controlling the clock



四、中文發明摘要 (發明名稱：一種設定顯示驅動電路之像素時脈的方法)

六、英文發明摘要 (發明名稱：METHOD FOR SETTING PIXEL CLOCK OF A DISPLAY DRIVING CIRCUIT)

generator to output an actual pixel clock according to the scaling factor and the coefficient R related to the optimum quotient.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



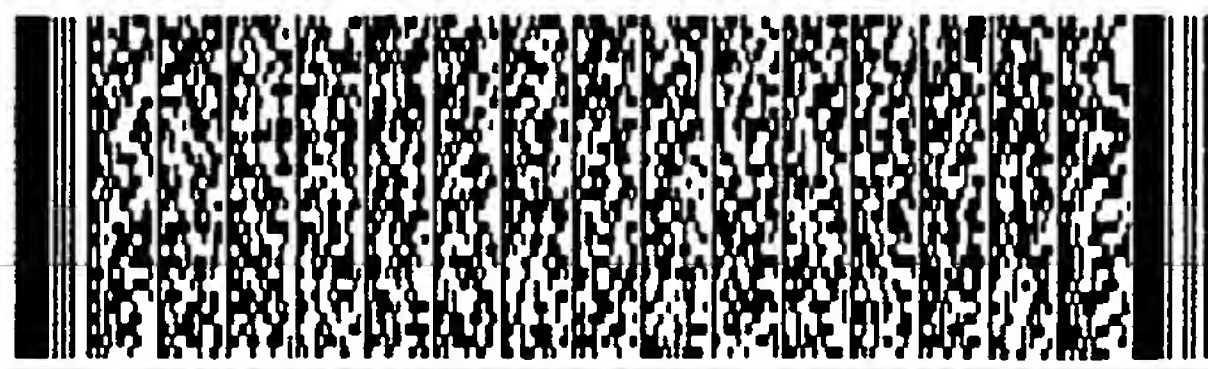
五、發明說明 (1)

發明所屬之技術領域

本發明提供一種設定時脈訊號的方法，尤指一種設定顯示驅動電路之像素時脈的方法。

先前技術

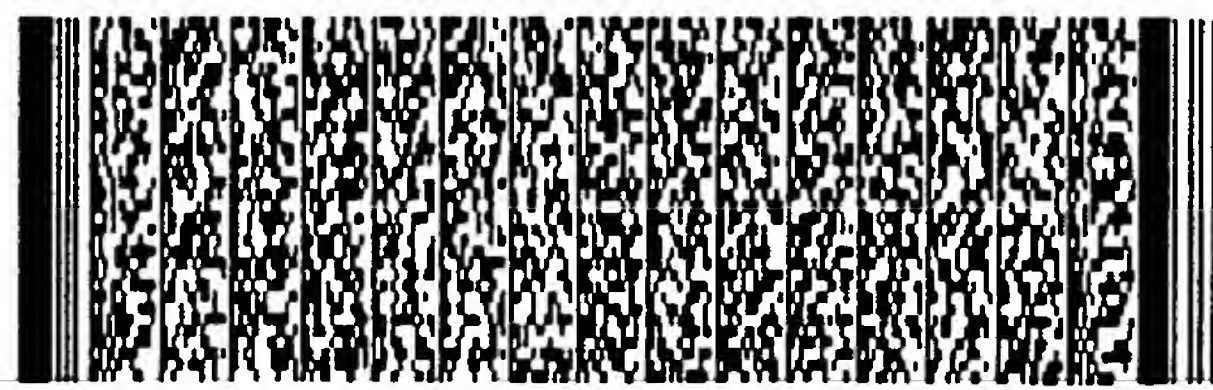
隨著電腦裝置的普及，相關電腦技術也隨之迅速發展以促進電腦裝置的實用性以及便利性。近年來，由於中央處理器 (central processing unit, CPU) 的執行速度正式邁進千兆赫 (gigahertz, GHz) 的世代，所以電腦裝置本身即具有強大的資料處理能力，因此，一般使用者不再僅將電腦裝置視為工作上的幫手，而逐漸定位該電腦裝置為家庭中的娛樂設施之一。此外，隨著電腦多媒體技術發展與應用，電腦裝置中主要用來負責影像輸出的顯示器 (monitor) 與顯示卡 (graphics card) 也逐漸成為一般使用者購買電腦裝置的重要考慮因素之一。一般而言，為了符合習知即插即用 (plug & play, PNP) 的規格，顯示器包含有一顯示數據通道 (display data channel, DDC)，其係用來建立該電腦裝置之主機 (host) 與該電腦裝置之顯示器之間的信息通道，亦即該顯示器會將其硬體規格數據直接傳輸給該主機中之顯示卡，所以該顯示卡便得知該顯示器的硬體規格，例如最大水平掃描頻率，與最大垂直更新頻率



五、發明說明 (2)

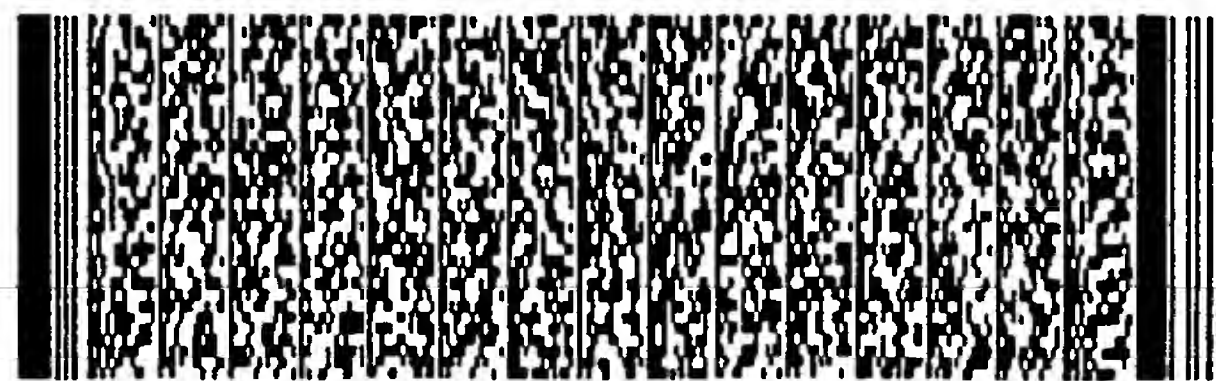
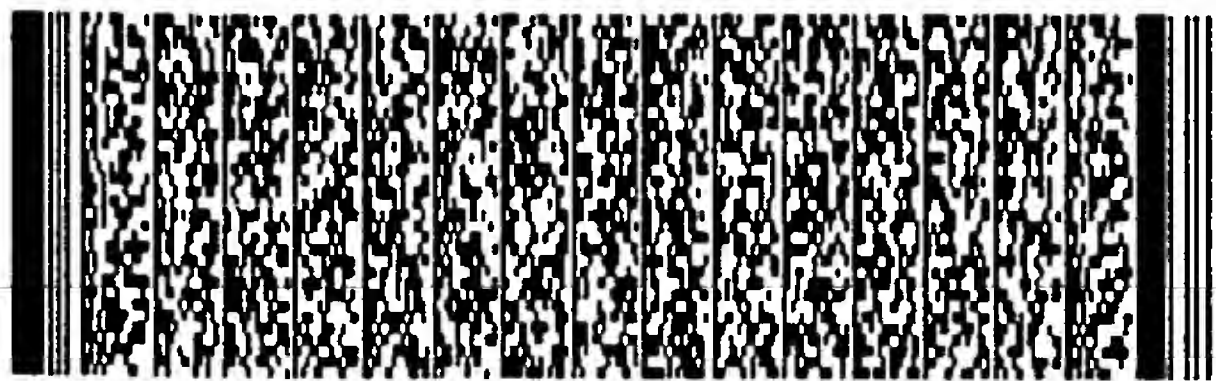
等資訊。過去，由於各廠牌的顯示卡對於顯示器之顯示模式的設定方式不同，因此往往造成彼此間相容性的問題，例如一應用程式係經由該顯示卡上之基本輸入/輸出系統 (basic input/output system, BIOS) 之內建指令來建立該應用程式與該顯示卡之硬體間的介面，然而對於不同的顯示卡而言，由於兩不同的顯示卡之基本輸入/輸出系統的內建指令並不一致，所以使得該應用程式無法順利地應用於兩不同的顯示卡，因此影像電子工程標準協會 (video electronic standards association, VESA) 便制訂一顯示標準規格介面 (VESA bios extension, VBE) 來統一顯示卡上基本輸入/輸出系統的內建指令。此外，該基本輸入/輸出系統另預設有該顯示卡可支援的不同顯示模式設定值，每一顯示模式設定值包含有水平掃描頻率，垂直更新頻率，解析度 (resolution)，以及色彩灰階數等資料。

請參閱圖一，圖一為習知電腦裝置 10 的功能方塊圖。電腦裝置 10 包含有一中央處理器 12，一記憶體 14 (memory)，一晶片組 15，一顯示驅動電路 (display driving circuit) 16，以及一顯示裝置 18 (例如一顯示器)。電腦裝置 10 經由一開機程序 (power on self test, POST)，將一作業系統 (operating system) 20 載入於記憶體 14，並由晶片組 15 進一步進行存取以控制電腦裝置 10 的運作，而顯示驅動電路 16 係用來驅動顯示



五、發明說明 (3)

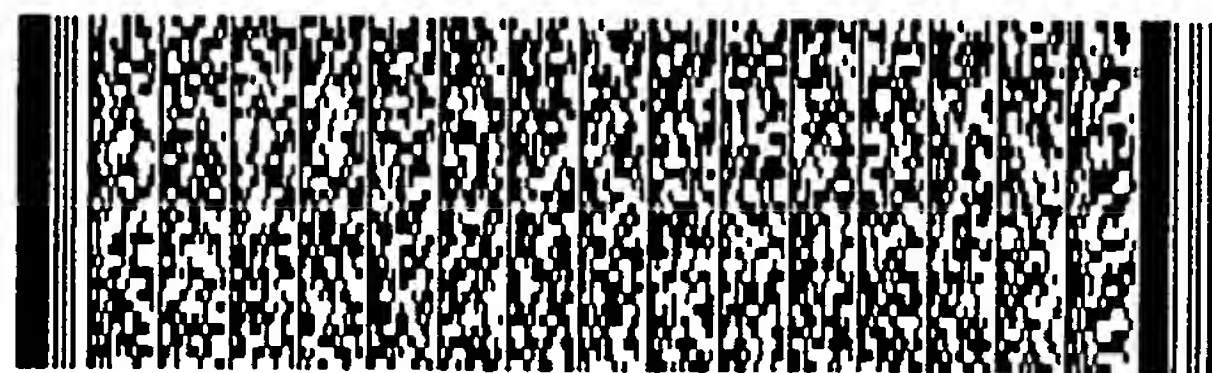
裝置 18 上之複數個像素 22 以顯示一影像 (image)。當一使用者透過作業系統 20 而變更顯示裝置 18 的顯示模式設定時，用來驅動該顯示裝置 18 的顯示驅動電路 16 便會依據上述顯示標準規格介面 (VBE) 的規範來重新設定一像素時脈 (pixel clock)，其中該像素時脈係控制每一像素之灰階設定的時序 (timing)。舉例來說，當該使用者設定顯示裝置 18 的解析度為 1024×768 時，如業界所習知，顯示裝置 18 實際上掃描其螢幕 (screen) 的區域 (例如 1360×802) 係大於該使用者所設定的可視區域 1024×768 ，若使用者透過作業系統 20 而於對應 1024×768 的顯示模式中設定所要的垂直更新頻率 (refresh rate) 為 60 赫芝 (Hz) 時，則所需之預定像素時脈的頻率為 $1360 \times 802 \times 60$ 赫芝，即為 65443200 赫芝。上述運算的原理簡述如下，由於顯示裝置 18 上一畫面中包含有 1360×802 個需要掃描的像素，而垂直更新頻率為 60 赫芝，因此每秒必須完成 60 個畫面的掃描，所以每秒總共必須完成 65443200 個像素的灰階設定，亦即像素時脈之頻率為 $1360 \times 802 \times 60$ 赫芝。然而，對於顯示驅動電路 16 而言，其係使用一硬體電路 (例如一時脈產生器 24) 來設定該像素時脈，由於時脈產生器 24 無法準確地產生上述經由運算所求出的頻率 (65443200 赫芝)，因此顯示驅動電路 16 之基本輸入/輸出系統 26 必須執行一時脈設定程序 28 來使控制時脈產生器 24 輸出趨近該頻率 (65443200 赫芝) 的時脈訊號以作為顯示驅動電路 16 的實際像素時脈，而



五、發明說明 (4)

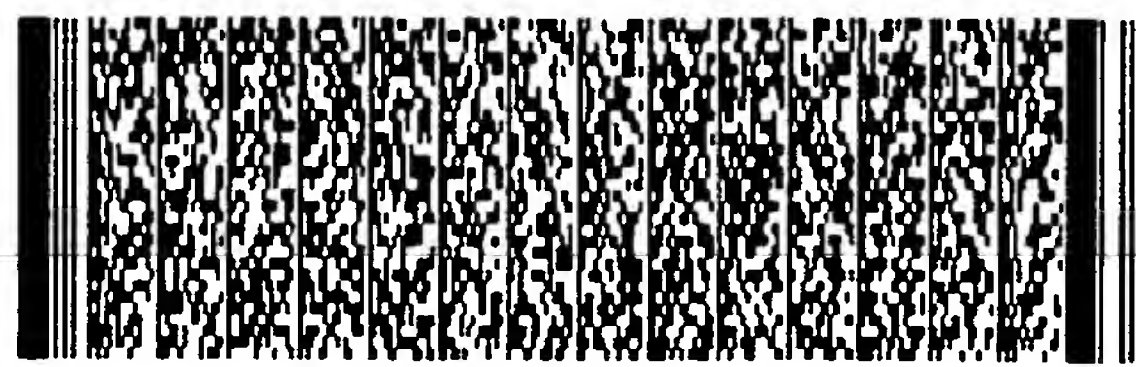
時脈產生器 24係經由一震盪電路 (oscillator) 30所輸出的參考時脈來產生該實際像素時脈，其操作詳述於後。

如前所述，由於顯示驅動電路 16之時脈產生器 24本身無法準確地輸出對應一顯示模式所計算出的預定像素時脈，因此如業界所習知，該顯示驅動電路 16必須依據時脈產生器 24本身硬體規格來產生一趨近該預定像素時脈之實際像素時脈，一般而言，該時脈產生器可包含有除頻電路 (frequency divider) 以及鎖相電路 (phase lock loop) 等元件以依據震盪電路 30輸出之參考時脈，來產生該實際像素時脈。此外，震盪電路 30可以是一石英震盪器 (crystal oscillator)，用來產生 14.318兆赫 (megahertz, Mhz) 的參考時脈，而輸入該時脈產生器 24。換句話說，上述時脈產生器 24的操作可視為依據一預定運算式來轉換該參考時脈成為該實際像素時脈，舉例來說，實際像素時脈之時脈值 CLKcal等於該參考時脈 CLKref之時脈值與該預定運算式 $(M+2) / [(N+2) * 2^R]$ 的乘積。習知設定像素時脈的操作流程 (亦即時脈設定程序 28的執行) 則如圖 2流程圖所繪，首先，設定數值 N等於一初始值 MINn (步驟 102)，然後判斷數值 N是否小於一臨界值 MAXn (步驟 104)，步驟 104主要係用來決定對應數值 N的迴圈 (loop) 運算是否結束，若數值 N大於該臨界值 MAXn，則結束對應數值 N的迴圈運算而開始透過



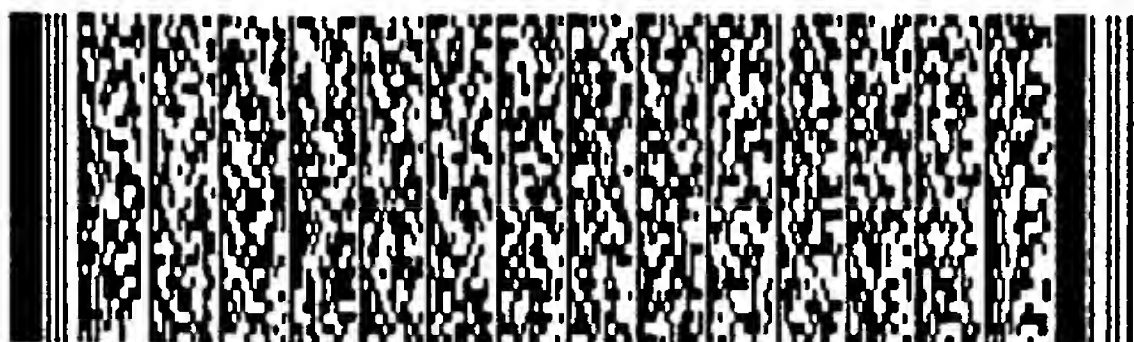
五、發明說明 (5)

該時脈產生器 24 來設定像素時脈 (步驟 136)，反之，若數值 N 小於該臨界值 MAX_n ，則設定數值 M 等於一初始值 MIN_m (步驟 106)，然後再判斷數值 M 是否小於一臨界值 MAX_m (步驟 108)。同樣地，步驟 108 係用來決定對應數值 M 的迴圈運算是否結束，若數值 M 大於該臨界值 MAX_m ，則結束對應數值 M 的迴圈運算，並使數值 N 遞增 1 (步驟 110)，反之，若數值 M 小於該臨界值 MAX_m ，則計算參考時脈之時脈值 CLK_{ref} 與一比例值之乘積 V_{co} (步驟 112)，而該比例值係為 $(M+2)/(N+2)$ 。對照該預定運算式 $(M+2)/[(N+2)*2^R]$ 可知，乘積 V_{co} 仍需除以 2^R ，因此於步驟 112 完成後，先設定數值 R 等於一初始值 MIN_r (步驟 114)，並判斷數值 R 是否小於一臨界值 MAX_r (步驟 116)，步驟 116 係用來決定對應數值 R 的迴圈運算是否結束，若數值 R 大於該臨界值 MAX_r ，則結束對應數值 R 的迴圈運算，並使數值 M 遞增 1 (步驟 118)，反之，若數值 R 小於該臨界值 MAX_r ，則計算該乘積 V_{co} 除以一除數 2^R 之運算結果 CLK_{cal} (步驟 120)，而該運算結果 CLK_{cal} 可能即為實際像素時脈的時脈值，因此必須經由後續比較程序來加以判定。所以，先判斷數值 M 、 N 、 R 是否分別為 MIN_m 、 MIN_n 、 MIN_r ，若是，則表示步驟 120 所求出運算結果 CLK_{cal} 係為習知設定像素時脈流程的第一個輸出結果，因此將該運算結果 CLK_{cal} 作為一最佳運算結果 CLK_{best} 的初始值 (步驟 130)，反之，若數值 M 、 N 、 R 並非分別為 MIN_m 、 MIN_n 、 MIN_r ，則依據該運算結果 CLK_{cal}



五、發明說明 (6)

與該預定像素時脈 CLK_p計算一第一差值 D1 (步驟 124) , 以及依據一最佳運算結果 CLK_{best}與該預定像素時脈 CLK_p計算一第二差值 D2 (步驟 126) , 最後判斷該第一差值 D1 是否小於該第二差值 D2 (步驟 128) 。若該第一差值 D1 小於該第二差值 D2 , 則表示運算結果 CLK_{cal}小於目前所紀錄的最佳運算結果 CLK_{best} , 因此使用運算結果 CLK_{cal}來更新 (update) 該最佳運算結果 CLK_{best} (步驟 130) , 並同時紀錄對應該最佳運算結果 CLK_{best}的數值 M、N、R , 以及使數值 R遞增 1而回到步驟 116以繼續對應數值 R的迴圈運算 ; 相反地 , 若該第一差值 D1大於該第二差值 D2 , 則表示目前所紀錄的最佳運算結果 CLK_{best}係小於運算結果 CLK_{cal}而不需更動 , 因此隨後使數值 R遞增 1而回到步驟 116以繼續對應數值 R的迴圈運算。上述流程包含有對應數值 M、N、R的三層迴圈架構 , 當三層迴圈均完成運算時 , 依據該預定運算式 $(M+2) / [(N+2) * 2^R]$, 此時該最佳運算結果 CLK_{best}所記錄的數值係最趨近該預定像素時脈 , 舉例來說 , 若數值 M、N、R的範圍分別為 1~128 , 則表示對應數值 N的迴圈每執行 1次時 , 對應數值 M的迴圈需執行 128次 , 而對應數值 M的迴圈每執行 1次時 , 對應數值 R的迴圈需執行 128次 , 因此當三層迴圈均完成運算 , 表示於上述流程中總共計算出 128*128*128個運算結果 CLK_{cal} , 然而經由步驟 124、126、128、130、132 , 可知最後僅紀錄該最佳運算結果 CLK_{best}與其相對應的數值 M、N、R , 其中該數值 M、N、R係用來輸入該時



五、發明說明 (7)

脈產生器 24以控制該實際像素時脈等於該最佳運算結果 CLKbest(步驟 136)。

由於顯示卡上基本輸入/輸出系統的記憶容量有限，亦即僅包含 64k位元組 (byte) 的大小，顯示卡上基本輸入/輸出系統之程式碼會於開機時記錄於記憶體 14的記憶體位置 C0000H至 D0000H中。對於步驟 120而言，其程式碼必須包含有除數 2 的乘幕運算，然後再進行被除數 (乘積 Vco) 與除數 2 的除法運算以求出一商數 (quotient) 與一餘數 (remainder)，然而像素時脈的設定過程並不需該餘數，因此習知技術僅保留該商數以設定該運算結果 CLKcal，由上所述，習知技術之運算複雜度高，所以時脈設定程序 28所對應的程式碼長度較長而會佔用基本輸入/輸出系統 26較多可用記憶容量，因此便無法於基本輸入/輸出系統 26的有限記憶容量中添加其他程式碼來擴充顯示驅動電路 16的功能。此外，電腦裝置 10之中央處理器 12執行上述運算時亦需大量使用堆疊 (stack) 來於記憶體 14中進行相關堆疊資料存入 (push) 與堆疊資料取出 (pop) 的操作，由於該記憶體 14中某些記憶區段 (segment) 係為保留 (reserved) 的記憶空間，若該堆疊於存入資料時使用到該記憶體 14中的保留記憶區段，則該存入資料會覆蓋 (overwrite) 原先該保留記憶區段所儲存的資料，因此可能造成電腦裝置 10產生無法預期的當機，或者當該堆疊於存入資料時使用到該記憶體 14



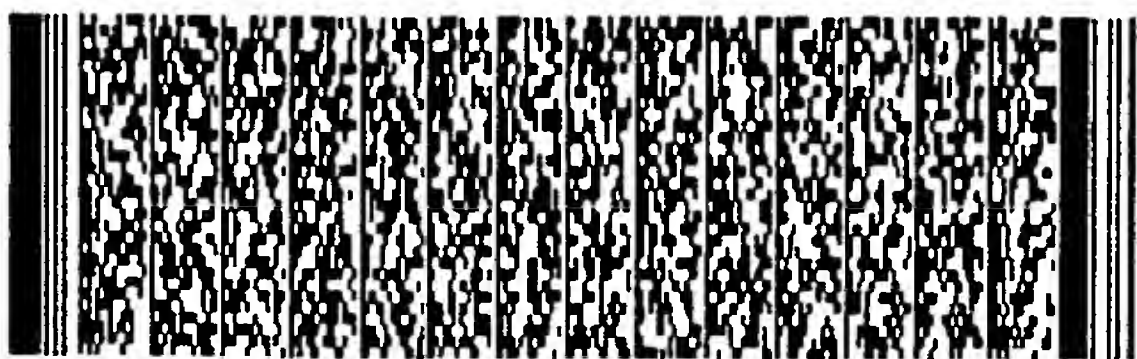
五、發明說明 (8)

中的保留記憶區段，而該中央處理器 12 稍後存入一資料以更新該保留記憶區段所記錄的資料時，會同時改變原先該堆疊記錄於該保留記憶區段的資料，因此，於上述計算該運算結果 CLKcal 的過程中，當由該堆疊中取出原先紀錄於該保留記憶區段的資料時，則因為錯誤的資料內容而影響該運算結果 CLKcal。此外，步驟 124、126 係分別計算第一差值 D1 與第二差值 D2，並經由步驟 128 來比較兩差值 D1、D2，同時步驟 130 係以該運算結果 CLKcal 來設定該最佳運算結果 CLKbest 以便步驟 126 可用來計算第二差值 D2，因此若該運算結果 CLKcal 係以 32 位元來表示，則上述運算不但繁複，且會使用大量的堆疊空間。

發明內容

因此本發明之主要目的在於提供一種設定顯示驅動電路之像素時脈的方法，其具有較低的運算複雜度 (complexity)，以解決上述問題。

本發明之申請專利範圍提供一種設定顯示驅動電路之像素時脈的方法，適用於一顯示裝置上，該方法包含有：(a)讀取該顯示裝置所設定顯示模式之一預定像素時脈值；(b)產生一參考時脈值，並以複數個比例值調整該參考時脈值，以產生複數個運算值；(c)以複數個第一數值 R 來將各運算值向右位移 R 位元，以產生對應於該運算



五、發明說明 (9)

值之複數個商值；(d)比較該些商值與該預定像素時脈值之差值，以決定一最佳商值；以及(e)以產生該最佳商值之該些比例值及對應該第一數值R之組合，來產生之一實際像素時脈。

如上所述，比例值使用複數個第二數值M以及複數個第三數值N來產生，第二數值M係用來放大該參考時脈值，第三數值N係用來縮小該參考時脈值，例如使用 $(M+2)/(N+2)$ 作為該比例值，其中第二數值M以及第三數值N均為整數。而該些商值係利用該些第二數值M、該些第三數值N以及該些第一數值R，以不同迴圈方式進行各種不同組合來產生。此外在步驟(d)係包括以第一次運算所產生之該商值與該預定像素時脈值之差值，作為一最小差值；當後面運算所產生之該商值與該預定像素時脈值之差值，小於該最小差值時，則由後來之差值取代為該最小差值，直到最後決定之該最小差值後，才得出該最小差值所對應商值為該最佳商值。

當然，上述步驟(b)與步驟(c)可進行互換，因此本發明另外提供一種設定顯示驅動電路之像素時脈的方法，適用於一顯示裝置上，該方法包含有：(a)讀取該顯示裝置所設定顯示模式之一預定像素時脈值；(b)產生一參考時脈值，並以複數個第一數值R來將該參考時脈值右位移R位元，以產生複數個商值；(c)以複數個比例值



五、發明說明 (10)

調整該些商值，以產生複數個運算值；(d)比較該些運算值與該預定像素時脈值之差值，以決定一最佳運算值；以及(e)以產生該最佳運算值之該些比例值及對應該第一數值 R 之組合，來產生之一實際像素時脈。

實施方式

請參閱圖一與圖三，圖三為本發明設定像素時脈之方法的流程圖。本發明設定像素時脈之方法係應用於圖一所示之電腦裝置 10 上，其中時脈產生器 16 係設置於一顯示晶片 (video chip) 中，且包含該顯示晶片的顯示驅動電路 16 係為一顯示卡 (graphics card)，或者包含該顯示晶片的顯示驅動電路 16 係設置於一主機板

(motherboard) 上。此外，電腦裝置 10 中各元件的運作如前所述，因此於此不再重複贅述。本發明設定像素時脈的方法包含有下列步驟：

步驟 200：開始；

步驟 202：設定數值 N 等於一初始值 MIN_n ；

步驟 204：判斷數值 N 是否小於一臨界值 MAX_n ？若是，則執行步驟 206，否則執行步驟 234；

步驟 206：設定數值 M 等於一初始值 MIN_m ；

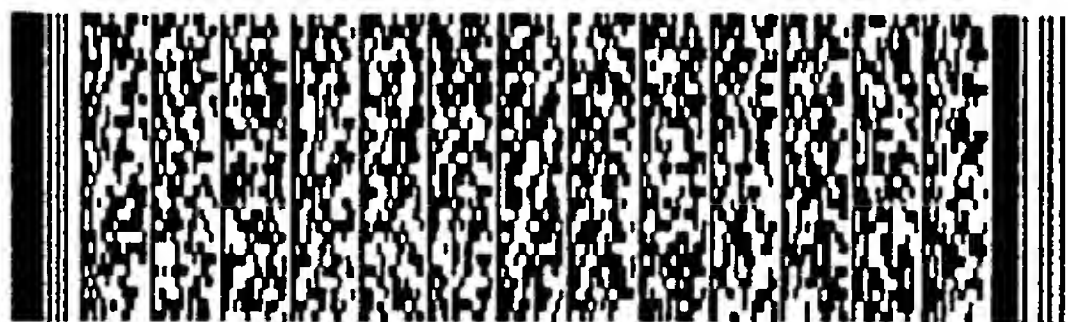
步驟 208：判斷數值 M 是否小於一臨界值 MAX_m ？若是，則執行步驟 212，否則執行步驟 210；



五、發明說明 (11)

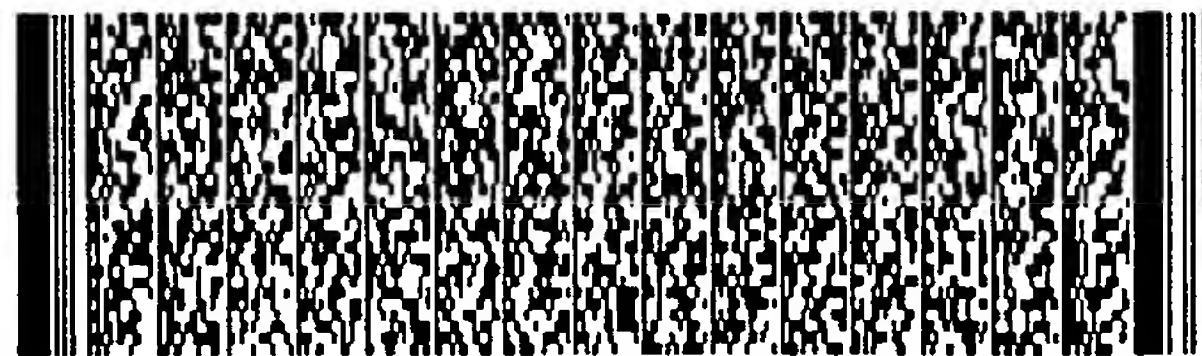
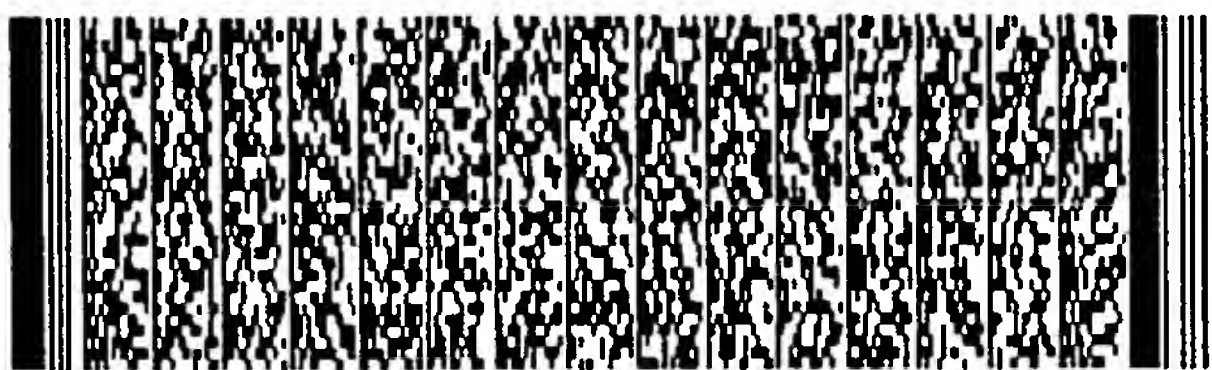
- 步驟 210: 數值 N 遞增 1, 回到步驟 204;
- 步驟 212: 計算一參考時脈之時脈值 CLK_{ref} 與一比例值 (scaling factor) 之乘積 V_{co} , 而該比例係由數值 M 、 N 所構成, 亦即該比例為 $(M+2)/(N+2)$;
- 步驟 214: 設定數值 R 等於一初始值 MIN_r ;
- 步驟 216: 判斷數值 R 是否小於一臨界值 MAX_r ? 若是, 則執行步驟 220, 否則執行步驟 218;
- 步驟 218: 數值 M 遞增 1, 回到步驟 208;
- 步驟 220: 計算一運算結果 CLK_{cal} , 其係為該乘積 V_{co} 向右位移 R 個位元;
- 步驟 222: 依據該運算結果 CLK_{cal} 與一預定像素時脈 CLK_p 計算一差值 D ;
- 步驟 224: 數值 M 、 N 、 R 是否分別為 MIN_m 、 MIN_n 、 MIN_r ? 若是, 則執行步驟 228, 否則執行步驟 226;
- 步驟 226: 判斷該差值 D 是否小於一最小差值 $DIFF$? 若是, 則執行步驟 228, 否則執行步驟 232;
- 步驟 228: 設定該差值 D 為該最小差值 $DIFF$;
- 步驟 230: 紀錄對應該最小差值 $DIFF$ 之數值 M 、 N 、 R ;
- 步驟 232: 數值 R 遞增 1, 回到步驟 216;
- 步驟 234: 使用對應該最小差值 $DIFF$ 之數值 M 、 N 、 R 來設定像素時脈;
- 步驟 236: 結束。

如業界所習知, 由於顯示驅動電路 16 之時脈產生器



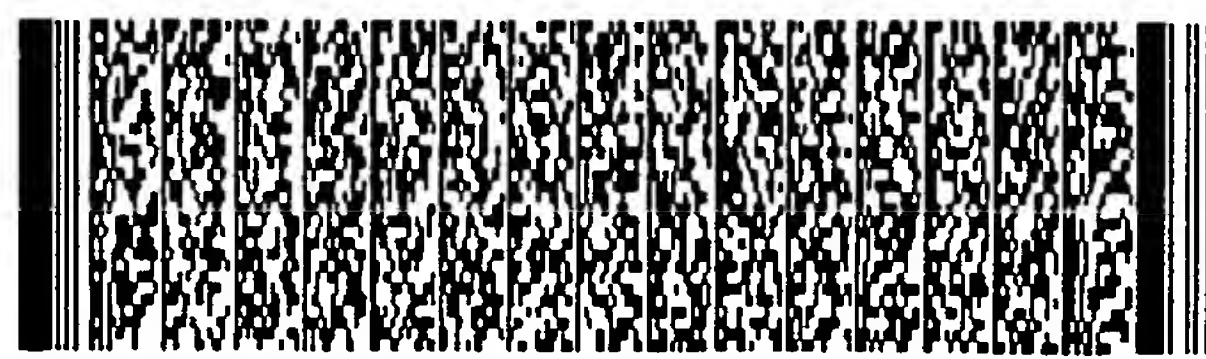
五、發明說明 (12)

24本身無法準確地輸出對應一顯示模式所算出的預定像素時脈，因此該顯示驅動電路16必須依據時脈產生器24本身硬體規格來產生一趨近該預定像素時脈之實際像素時脈，一般而言，該時脈產生器可包含有除頻電路以及鎖相電路等元件以依據震盪電路30輸出之參考時脈產生該實際像素時脈，或者該時脈產生器可依據電腦裝置10輸入顯示驅動電路16的系統時脈，匯流排時脈等訊號來作為參考時脈，均屬本發明之範疇。換句話說，上述時脈產生器24的操作可視為依據一預定運算式來轉換該參考時脈為該實際像素時脈，例如，實際像素時脈之時脈值等於該參考時脈之時脈值與該預定運算式 $(M+2)/[(N+2)*2^R]$ 的乘積。本發明設定像素時脈的操作流程（亦即時脈設定程序28的執行）則敘述如下，當基本輸入/輸出系統26偵測到顯示裝置18的顯示模式設定時，便先判斷對應該顯示模式設定的預定像素時脈CLK_p。然後，如圖3所繪示，開始設定數值N等於一初始值MIN_n（步驟202），並判斷數值N是否小於一臨界值MAX_n（步驟204），步驟204主要係用來決定對應數值N的迴圈（loop）運算是否已結束，若數值N大於該臨界值MAX_n，則結束對應數值N的迴圈運算而開始透過該時脈產生器24設定像素時脈（步驟234），反之，若數值N小於該臨界值MAX_n，則設定數值M等於一初始值MIN_m（步驟206）。然後，判斷數值M是否小於一臨界值MAX_m（步驟208），同樣地，步驟208係用來決定對應數值M的迴圈運算



五、發明說明 (13)

是否結束，若數值 M 大於該臨界值 MAX_m ，則結束對應數值 M 的迴圈運算，並使數值 N 遞增 1 (步驟 210)，反之，若數值 M 小於該臨界值 MAX_m ，則計算參考時脈之時脈值 CLK_{ref} 與一比例值之乘積 V_{co} (步驟 212)，而該比例係為 $(M+2) / (N+2)$ 。對照該預定運算式 $(M+2) / [(N+2) * 2^R]$ 可知，乘積 V_{co} 仍需除以 2^R ，因此於步驟 212 完成後，設定數值 R 等於一初始值 MIN_r (步驟 214)，並判斷數值 R 是否小於一臨界值 MAX_r (步驟 216)，步驟 216 係用來決定對應數值 R 的迴圈運算是否結束，若數值 R 大於該臨界值 MAX_r ，則結束對應數值 R 的迴圈運算，並使數值 M 遞增 1 (步驟 218)，反之，若數值 R 小於該臨界值 MAX_r ，則計算該乘積 V_{co} 向右位移 R 個位元所產生的運算結果 CLK_{cal} (步驟 220)。請注意，本實施例中，乘積 V_{co} 除以 2^R 的運算係以位元位移 (bit shifting) 的方式來實施，該運算結果 CLK_{cal} 可能即為實際像素時脈的時脈值，因此必須再經由後續比較程序來加以判定。所以，先依據該運算結果 CLK_{cal} 與一預定像素時脈 CLK_p 計算出一差值 D (步驟 222)，然後判斷數值 M 、 N 、 R 是否分別為 MIN_m 、 MIN_n 、 MIN_r (步驟 224)，若是，則表示步驟 220 所求出差值 D 係為本發明設定像素時脈流程的第一個差值輸出結果，因此便將該差值 D 作為一最小差值 $DIFF$ 的初始值 (步驟 228)，反之，若數值 M 、 N 、 R 並非分別為 MIN_m 、 MIN_n 、 MIN_r ，則依據判斷該差值 D 是否小於該最小差值 $DIFF$ (步驟 226)，若該差值 D 小於該最小差值



五、發明說明 (14)

DIFF，則使用該差值 D 來更新 (update) 該最小差值 DIFF (步驟 228)，並同時紀錄對應該最小差值 DIFF 的數值 M、N、R (步驟 230)，以及使數值 R 遞增 1 (步驟 232) 而回到步驟 216 以繼續對應該數值 R 的迴圈運算；相反地，若該差值 D 大於該最小差值 DIFF，則表示目前所紀錄的最小差值 DIFF 不需更動，因此隨後使數值 R 遞增 1 (步驟 232) 而回到步驟 216 以繼續對應該數值 R 的迴圈運算。上述流程包含有對應數值 M、N、R 的三層迴圈架構，當三層迴圈均完成運算時，依據該預定運算式 $(M+2) / [(N+2) * 2^R]$ ，此時該最小差值 DIFF 所對應的數值 M、N、R 經由該預定運算式可得到最趨近該預定像素時脈之時脈訊號。舉例來說，若數值 M、N、R 的範圍分別為 1~128，則表示對應該數值 N 的迴圈每執行 1 次時，對應該數值 M 的迴圈需執行 128 次，而對應該數值 M 的迴圈每執行 1 次時，對應該數值 R 的迴圈需執行 128 次，因此當三層迴圈均完成運算，表示於上述流程中總共計算出 $128 * 128 * 128$ 個差值 D，然而經由步驟 226、228、230、232，本實施例最後僅紀錄該最小差值 DIFF 與其相對應的數值 M、N、R，而該數值 M、N、R 係用來輸入時脈產生器 24 以控制該實際像素時脈 (步驟 234)。

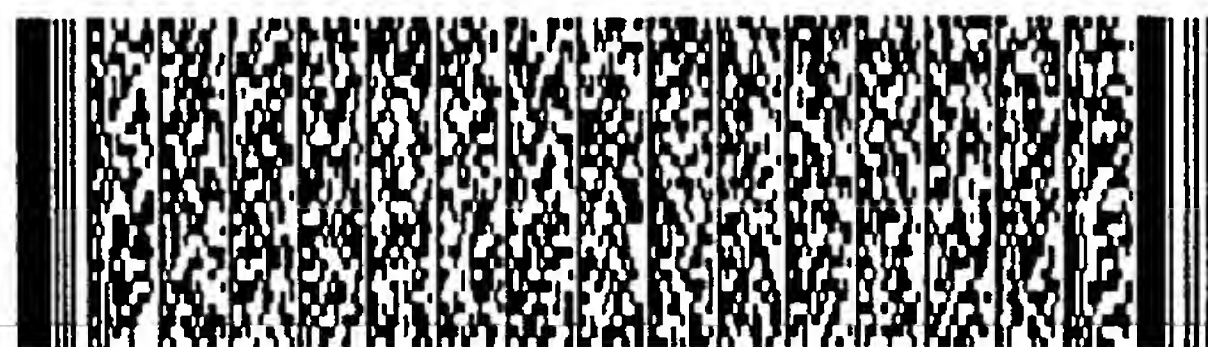
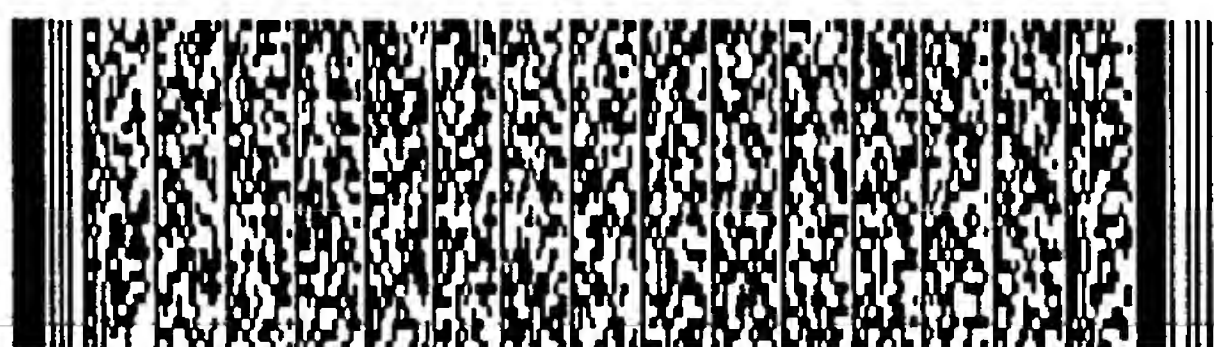
請注意，本實施例中，對應該數值 M 的迴圈運算 (步驟 208) 係設置於對應該數值 N (步驟 204) 的迴圈運算中，以及對應該數值 R 的迴圈運算 (步驟 216) 係設置於對應該數值 M



五、發明說明 (15)

(步驟 208) 的迴圈運算中，然而，亦可調整對應數值 M、N、R 之迴圈運算的處理順序，例如對應數值 N 的迴圈運算係設置於對應數值 M 的迴圈運算中，以及對應數值 R 的迴圈運算係設置於對應數值 N 的迴圈運算中，或是其他不同的迴圈運算順序，換句話說，參考時脈之時脈值 CLKref 可先經由數值 M 或數值 N 調整其縮放比例而產生運算值，然後再經由數值 R 對該運算值進行位元位移處理而產生商值，最後再進行比較程序，或是參考時脈之時脈值 CLKref 可先經由數值 R 來進行位元位移處理而產生商值，然後經由數值 M 或數值 N 調整該商值之縮放比例而輸出運算值，最後再進行比較程序，上述均屬本發明之範疇。

由於 $V_{co}/2^R$ 的餘數與運算結果 CLKcal 無關，因此本實施例在不需考慮餘數的情形下，乘積 V_{co} 除以 2^R 的運算係以位元位移的方式來快速地得到該運算結果 CLKcal，因此可大幅降低運算複雜度以及時脈設定程序 28 之程式碼的大小。由於運算複雜度降低，所以記憶體所使用的堆疊容量亦隨之降低而避免佔用習知保留記憶區段，亦即可降低電腦裝置 10 當機的發生機率。此外，本實施例步驟 226 係以差值 D 來與最小差值 DIFF 進行比較，以及步驟 228 係記錄最小差值 DIFF，明顯地，差值 D 以及最小差值 DIFF 所對應的位元長度比運算結果 CLKcal 小，因此於本實施例中，上述比較運算的複雜度低，因此所對應

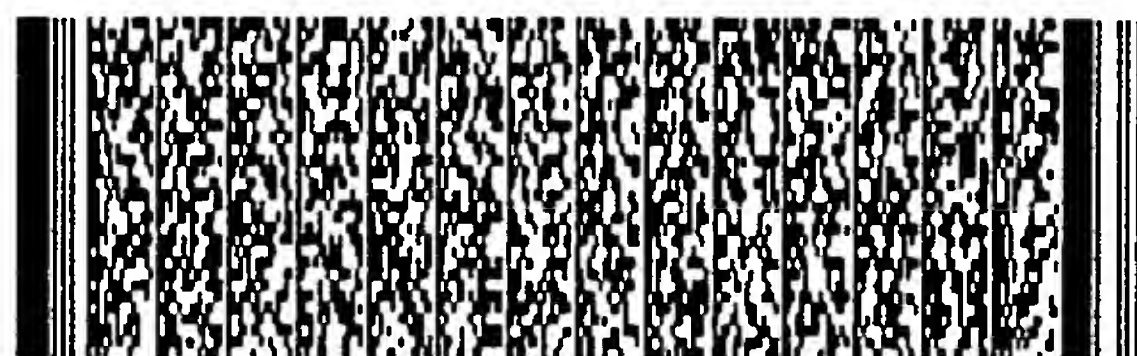
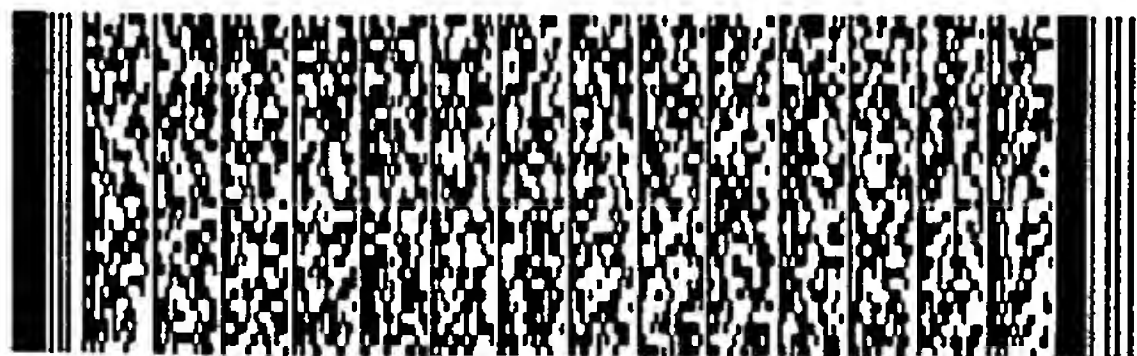


五、發明說明 (16)

的程式碼較少，並且於運算過程中可同時降低記憶體堆疊用量。

相較於習知技術，本發明設定像素時脈之方法利用位元位移的方式來進行除法運算以快速地求出一商數，並經由該商數與一預定像素時脈之時脈值計算一差值 D ，最後使用該差值 D 來與一最小差值 $DIFF$ 進行比較以決定是否更新該最小差值 $DIFF$ ，此外，同時紀錄對應該最小差值 $DIFF$ 的數值 M 、 N 、 R 。當完成對應數值 M 、 N 、 R 的迴圈運算後，依據對應該最小差值 $DIFF$ 的數值 M 、 N 、 R 來控制一時脈產生器輸出一實際像素時脈以驅動一顯示裝置上的像素。所以，本發明設定像素時脈之方法由於具有較低的運算複雜度而使所需程式碼長度減少，因此可使一顯示驅動電路上的基本輸入/輸出系統可容納其他程式碼以增加該顯示驅動電路的功能，且因為較低的運算複雜度而降低堆疊容量的使用，因此避免因為堆疊空間過大而佔用習知記憶體中的保留區段，並可一併解決習知非預期當機的問題。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明：

圖一為習知電腦裝置的功能方塊圖。

圖二為習知設定像素時脈之方法的流程圖。

圖三為本發明設定像素時脈之方法的流程圖。

圖示之符號說明：

10	電腦裝置	12	中央處理器
14	記憶體	15	晶片組
16	顯示驅動電路	18	顯示裝置
20	作業系統	22	像素
24	時脈產生器	26	基本輸入/輸出系統
28	時脈設定程序	30	振盪電路



六、申請專利範圍

1. 一種設定顯示驅動電路之像素時脈的方法，適用於一顯示裝置上，該方法包含有：

(a)讀取該顯示裝置所設定顯示模式之一預定像素時脈值；

(b)產生一參考時脈值，並以複數個比例值調整該參考時脈值，產生複數個運算值；

(c)使用複數個第一數值 R 來將各運算值向右位移 R 位元，產生對應於該運算值之複數個商值；

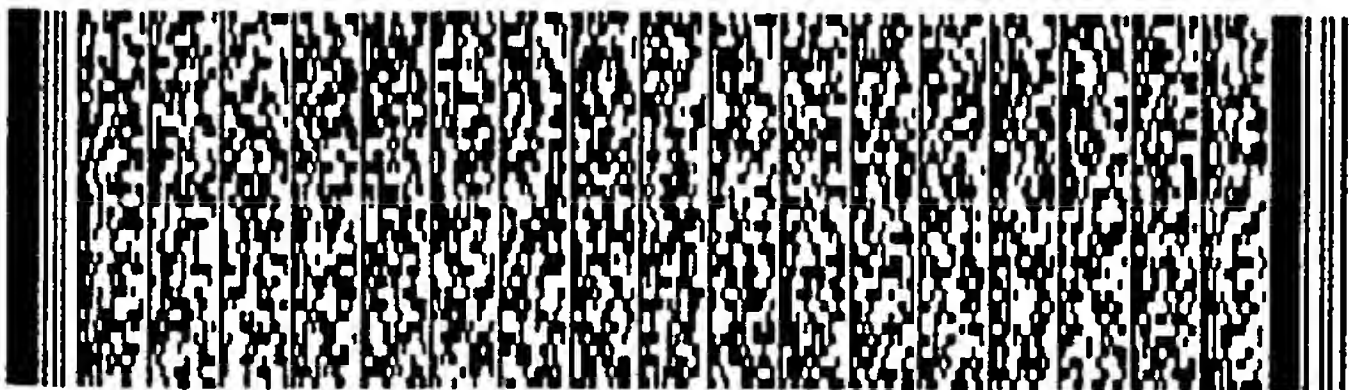
(d)比較該些商值與該預定像素時脈值之差值，以決定一最佳商值；以及

(e)使用產生該最佳商值之比例值及相對應第一數值 R 之組合，來產生之一實際像素時脈。

2. 如申請專利範圍第 1 項所述之設定顯示驅動電路之像素時脈的方法，其中步驟 (b) 之該些比例值使用複數個第二數值 M 以及複數個第三數值 N 來產生，該些第二數值 M 係用來放大該參考時脈值，該些第三數值 N 係用來縮小該參考時脈值。

3. 如申請專利範圍第 2 項所述之設定顯示驅動電路之像素時脈的方法，該些比例值係為 $(M+2)/(N+2)$ 產生，其中該些第二數值 M 以及該些第三數值 N 均為整數。

4. 如申請專利範圍第 2 項所述之設定顯示驅動電路之像



六、申請專利範圍

素時脈的方法，其中該些商值係利用該些第二數值 M 、該些第三數值 N 以及該些第一數值 R ，以不同迴圈方式進行各種不同組合來產生。

5. 如申請專利範圍第 4 項所述之設定顯示驅動電路之像素時脈的方法，其中步驟 (d) 係包括以第一次運算所產生之該商值與該預定像素時脈值之差值，作為一最小差值；當後面運算所產生之該商值與該預定像素時脈值之差值，小於該最小差值時，則由後來之差值取代為該最小差值，直到最後決定之該最小差值後，才得出該最小差值所對應商值為該最佳商值。

6. 一種設定顯示驅動電路之像素時脈的方法，適用於一顯示裝置上，該方法包含有：

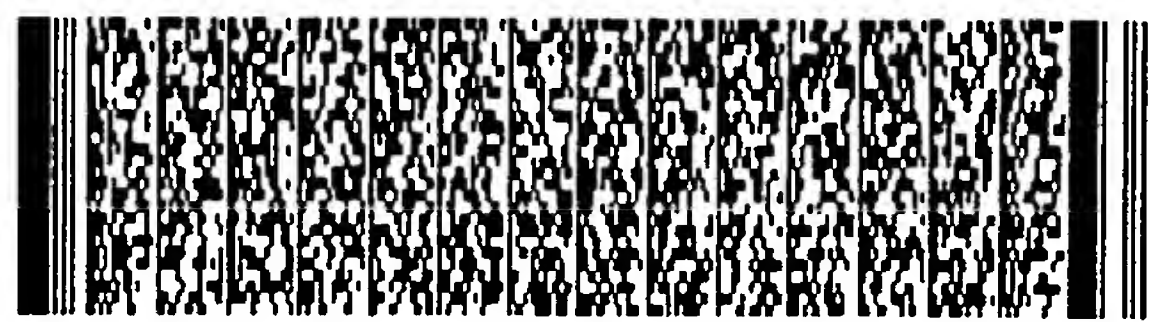
(a) 讀取該顯示裝置所設定顯示模式之一預定像素時脈值；

(b) 產生一參考時脈值，並以複數個第一數值 R 來將該參考時脈值右位移 R 位元，產生複數個商值；

(c) 使用複數個比例值調整該些商值，產生複數個運算值；

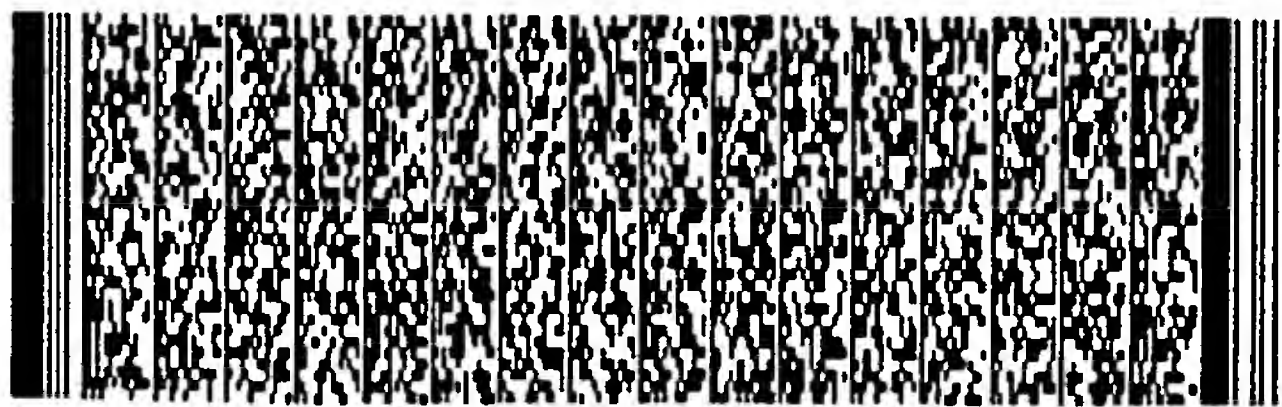
(d) 比較該些運算值與該預定像素時脈值之差值，以決定一最佳運算值；以及

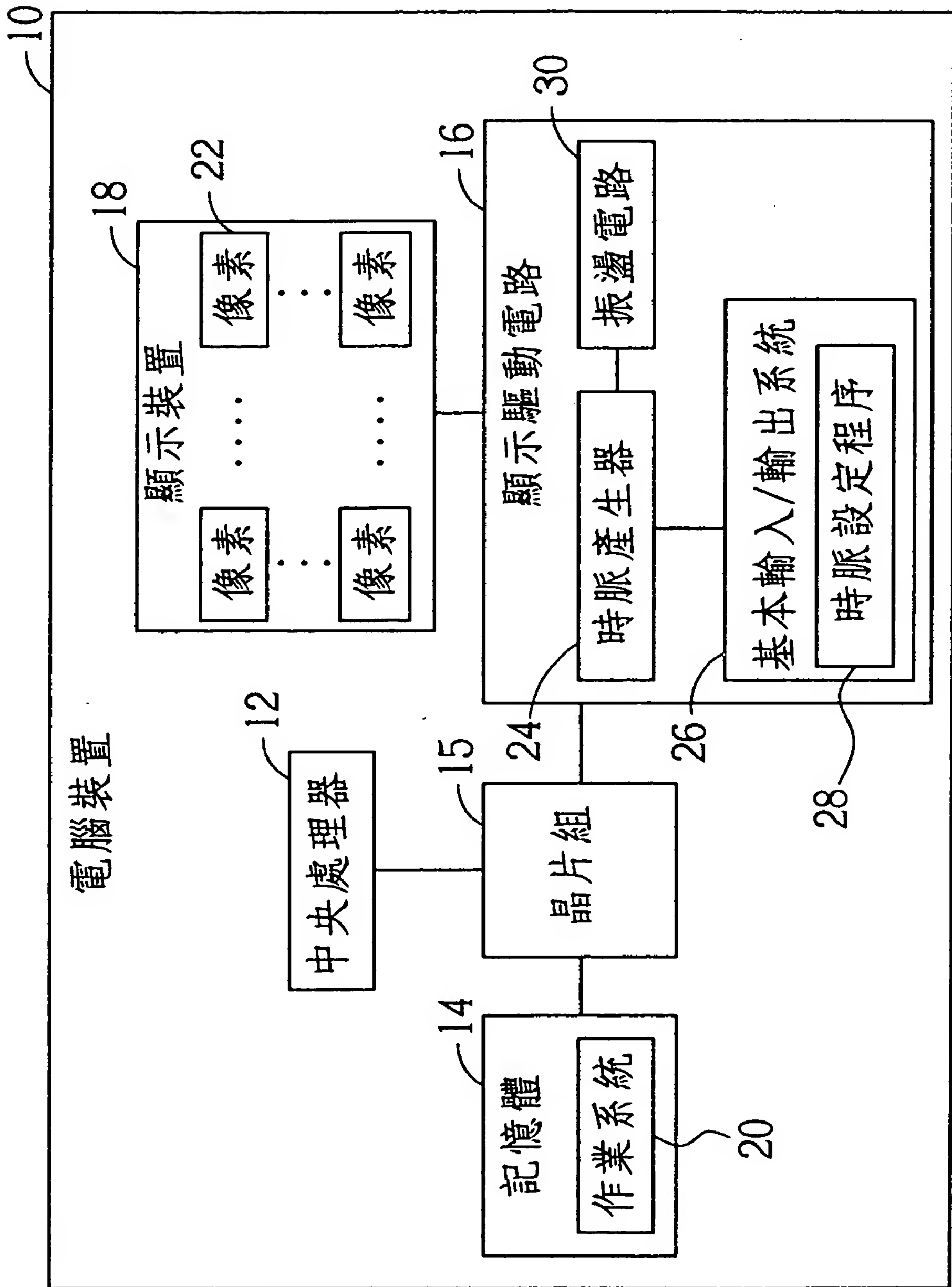
(e) 使用產生該最佳運算值之比例值及相對應第一數值 R 之組合，來產生之一實際像素時脈。



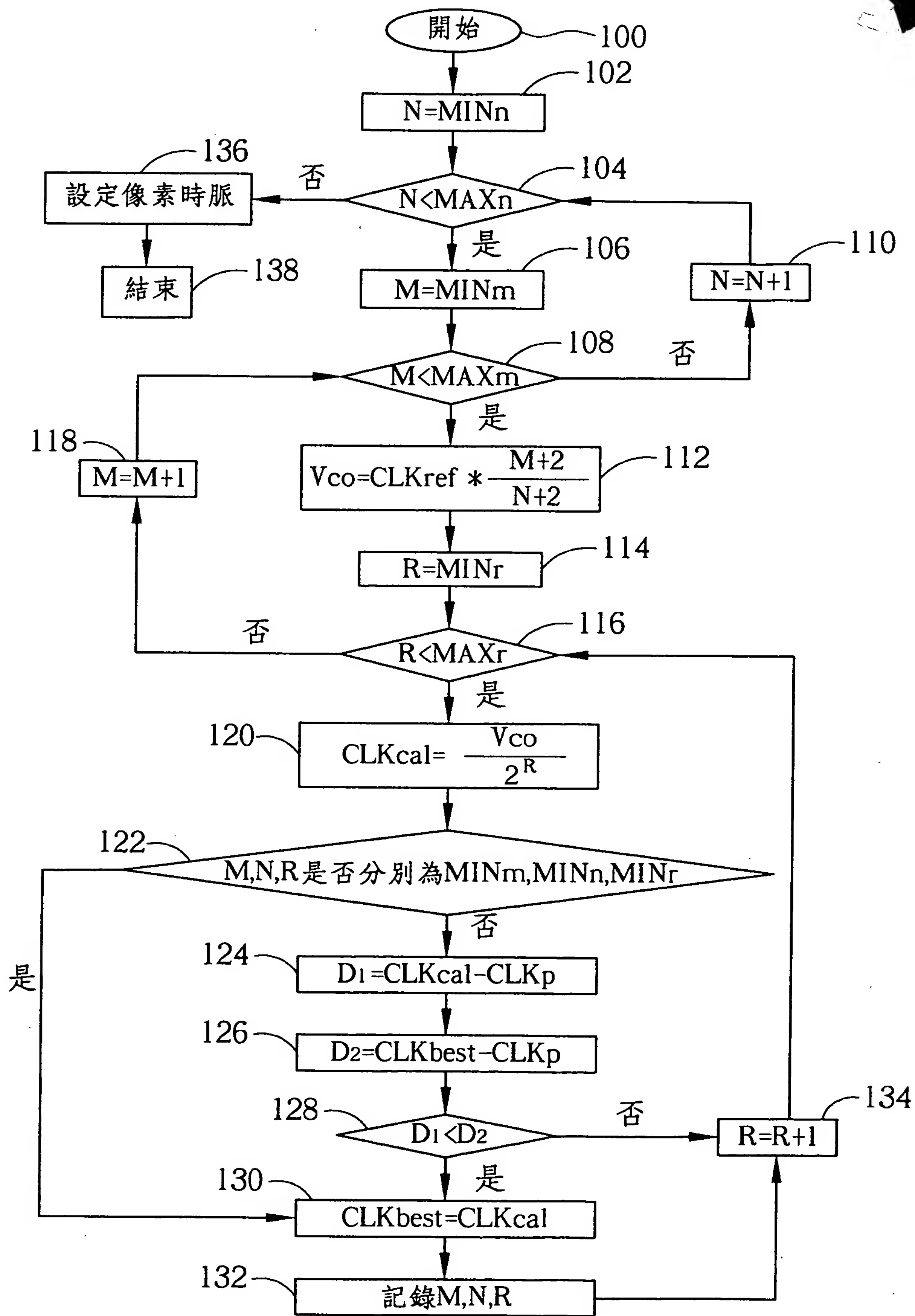
六、申請專利範圍

7. 如申請專利範圍第6項所述之設定顯示驅動電路之像素時脈的方法，其中步驟(c)之該些比例值使用複數個第二數值M以及複數個第三數值N來產生，該些第二數值M係用來放大該參考時脈值，該些第三數值N係用來縮小該參考時脈值。
8. 如申請專利範圍第7項所述之設定顯示驅動電路之像素時脈的方法，該些比例值係為 $(M+2) / (N+2)$ 產生，其中該些第二數值M以及該些第三數值N均為整數。
9. 如申請專利範圍第8項所述之設定顯示驅動電路之像素時脈的方法，其中該些運算值係利用該些第二數值M、該些第三數值N以及該些第一數值R，以不同迴圈方式進行各種不同組合來產生。
10. 如申請專利範圍第9項所述之設定顯示驅動電路之像素時脈的方法，其中步驟(d)係包括以第一次運算所產生之該運算值與該預定像素時脈值之差值，作為一最小差值；當後面運算所產生之該運算值與該預定像素時脈值之差值，小於該最小差值時，則由後來之差值取代為該最小差值，直到最後決定之該最小差值後，才得出該最小差值所對應運算值為該最佳運算值。

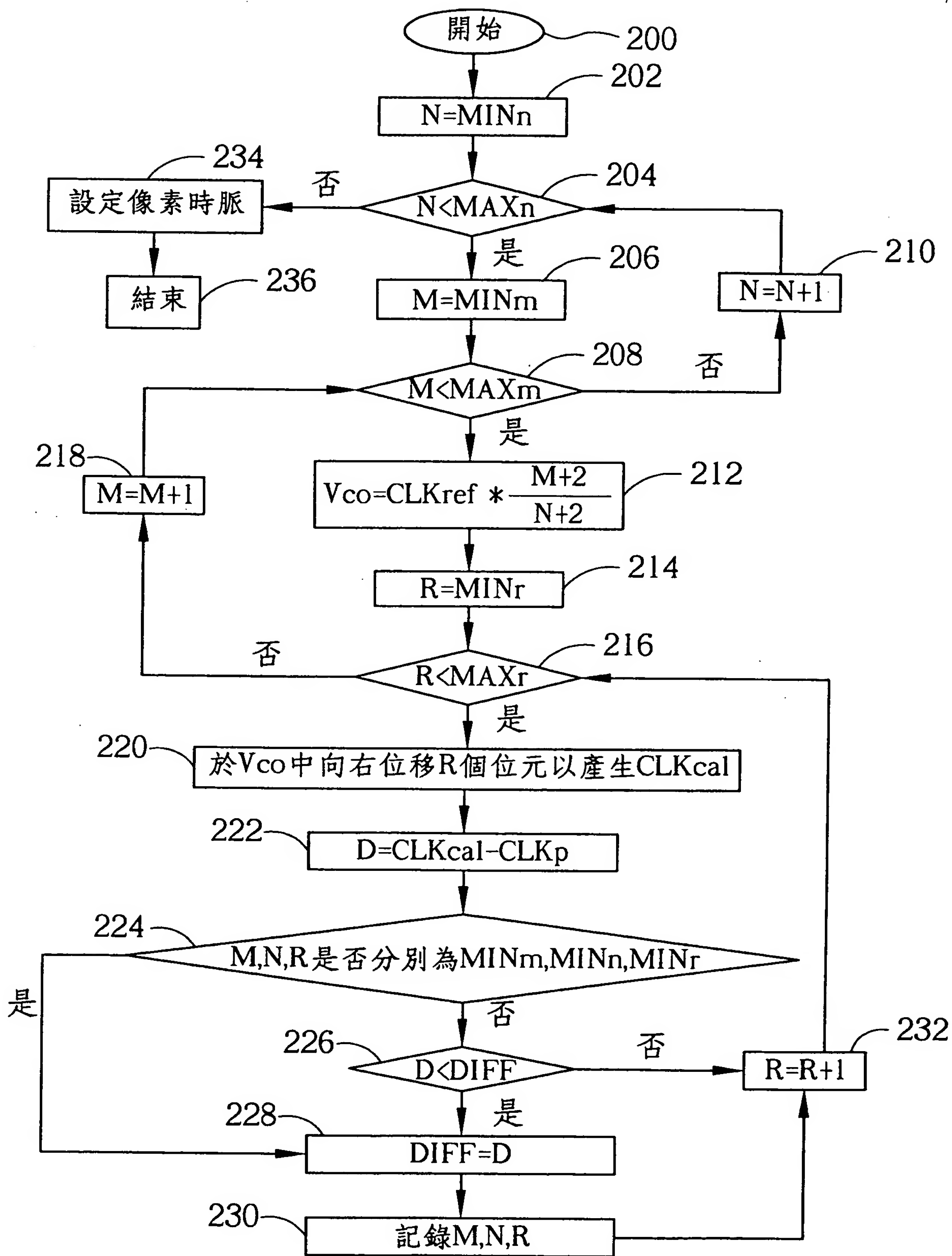




圖一

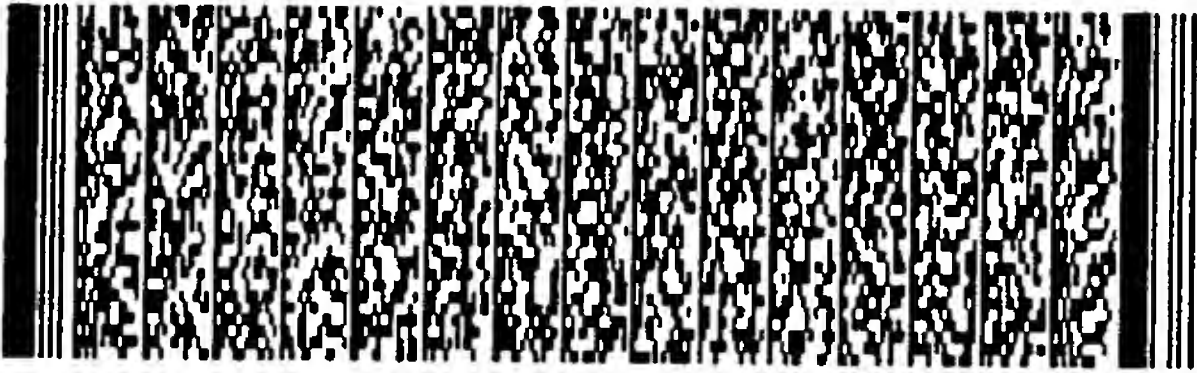


圖二



圖三

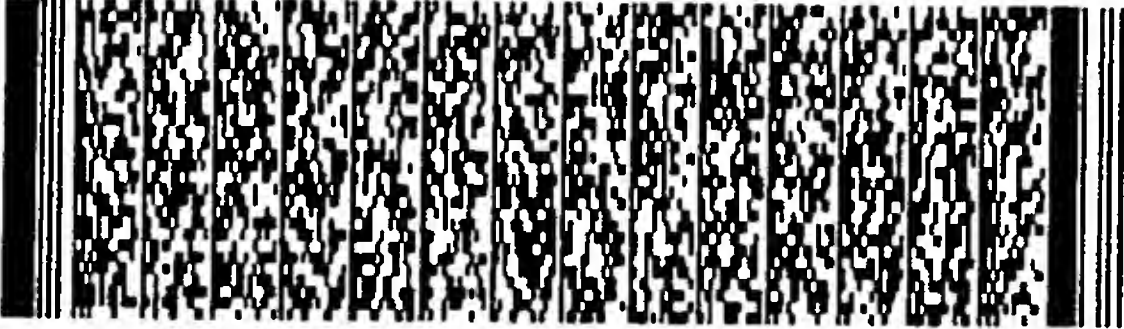
第 1/25 頁



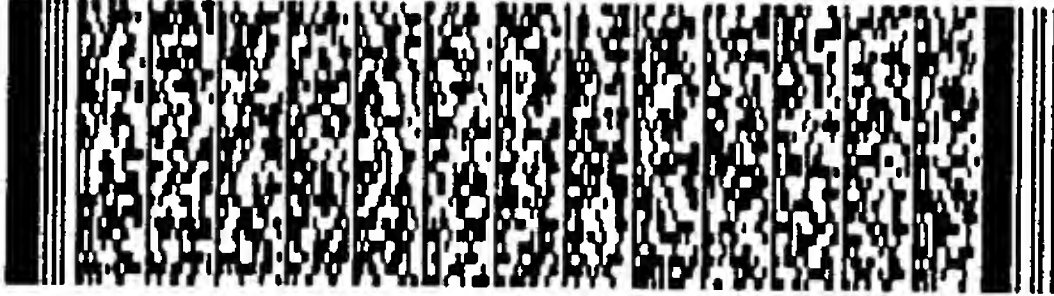
第 2/25 頁



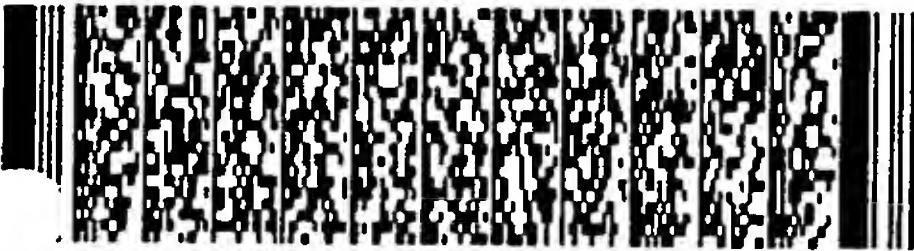
第 2/25 頁



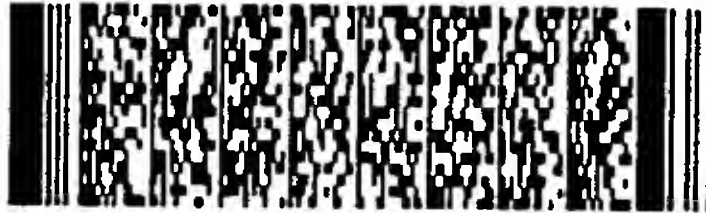
第 3/25 頁



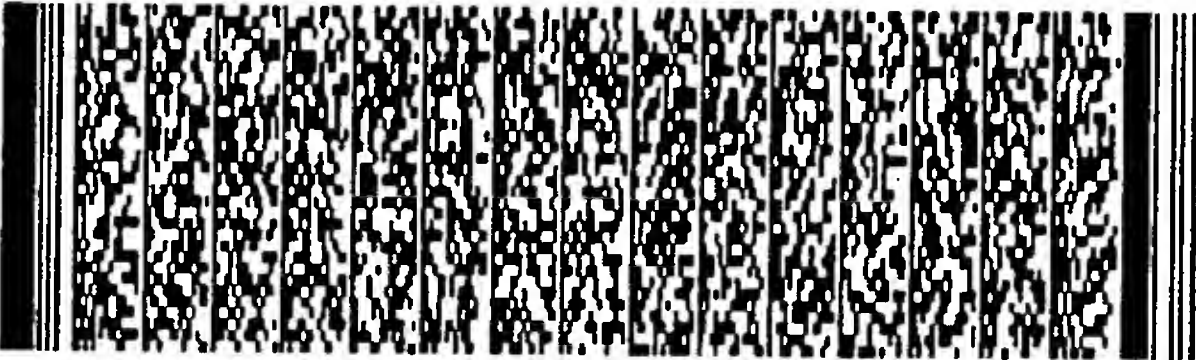
第 4/25 頁



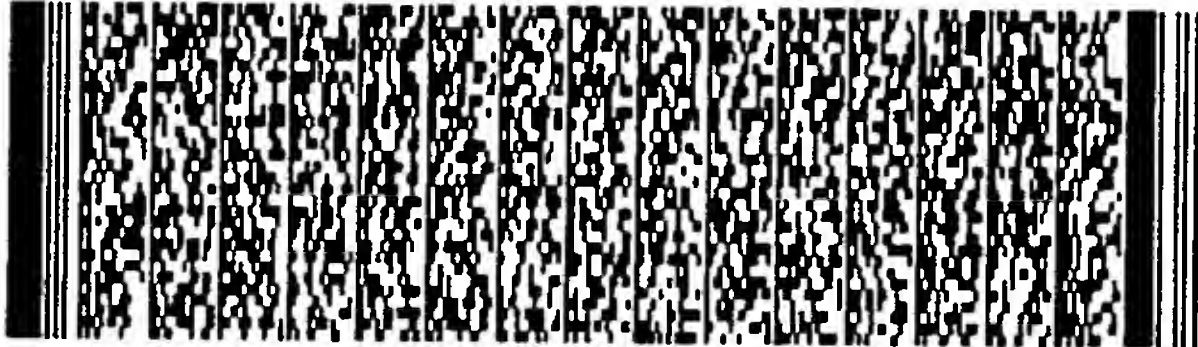
第 5/25 頁



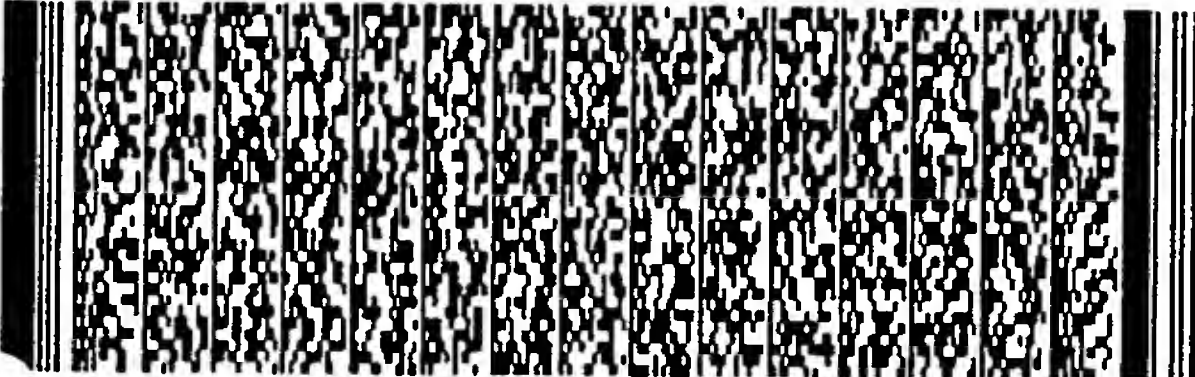
第 6/25 頁



第 6/25 頁



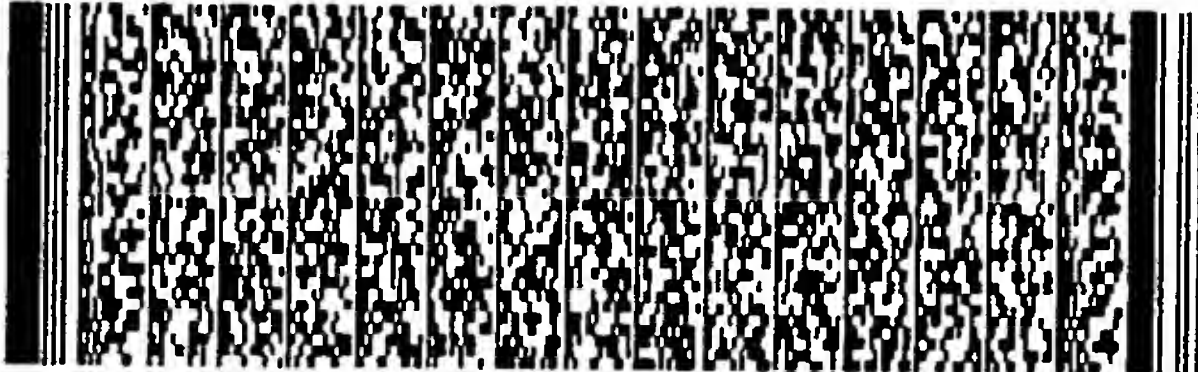
第 7/25 頁



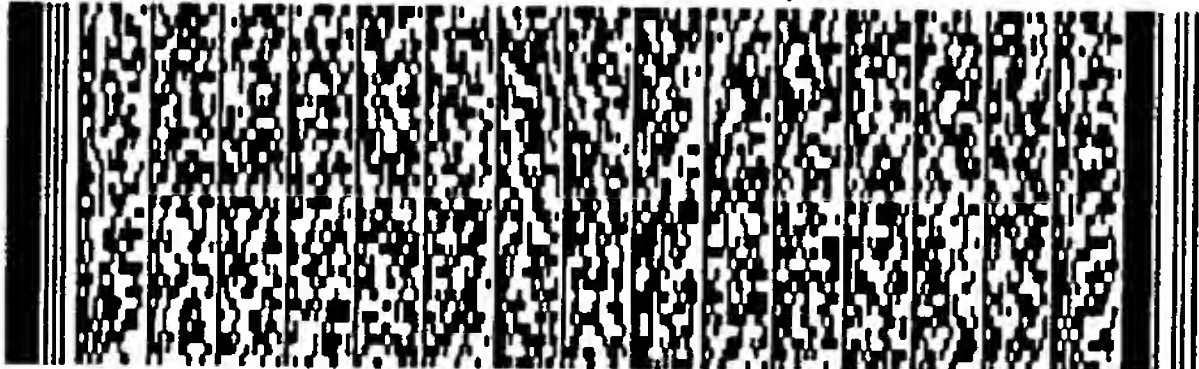
第 7/25 頁



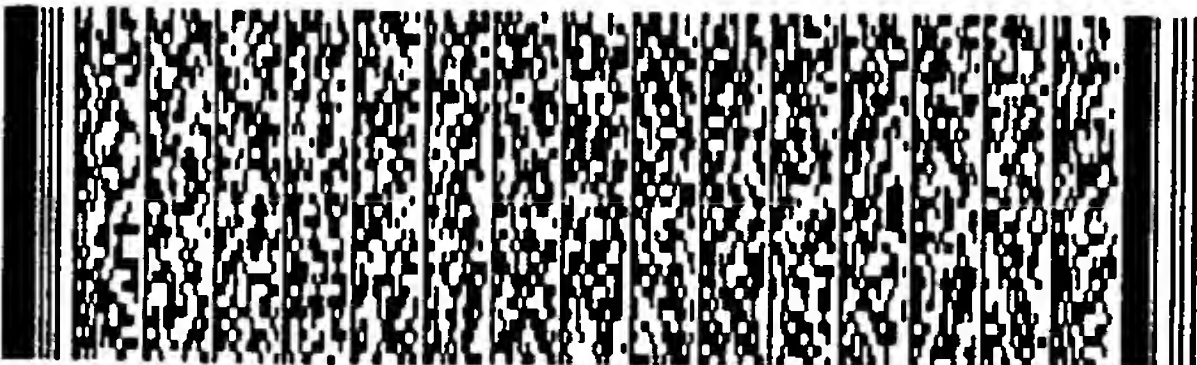
第 8/25 頁



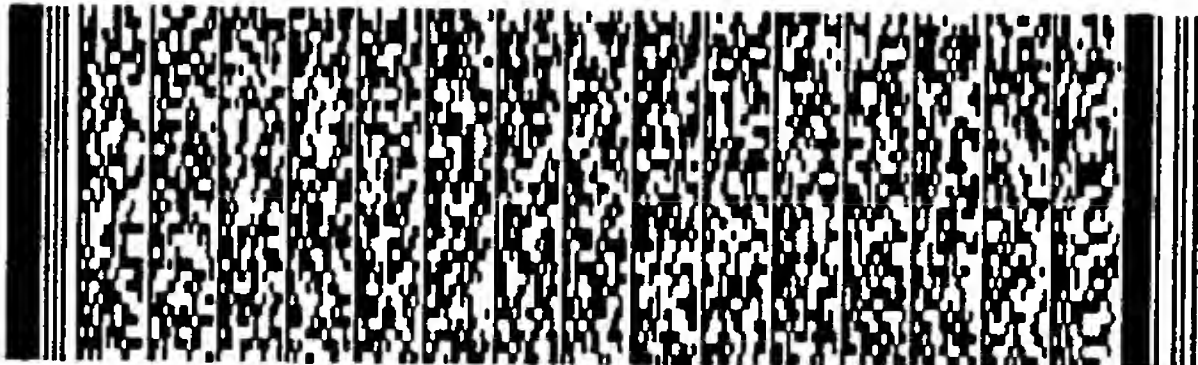
第 8/25 頁



第 9/25 頁



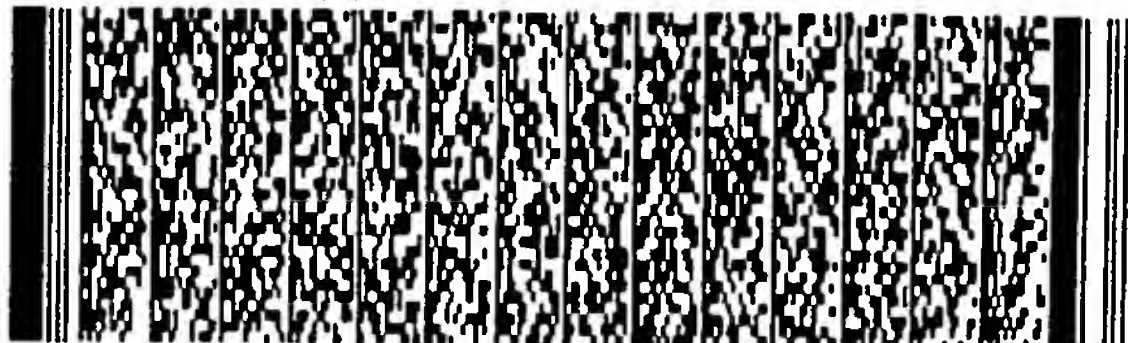
第 9/25 頁


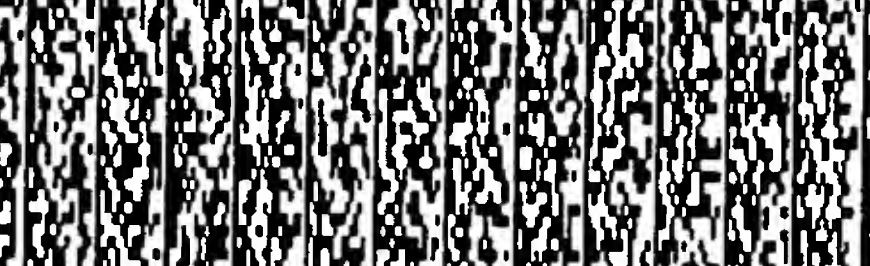





第 10/25 頁



第 10/25 頁



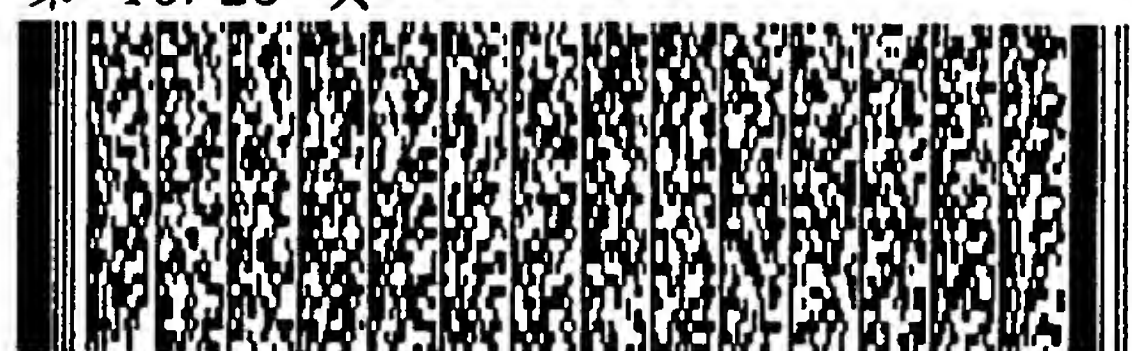


[illegible]

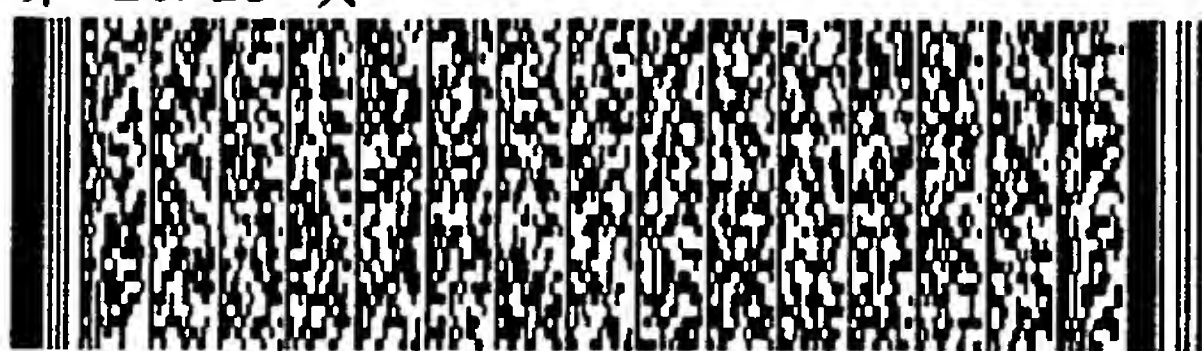
第 19/25 頁



第 19/25 頁



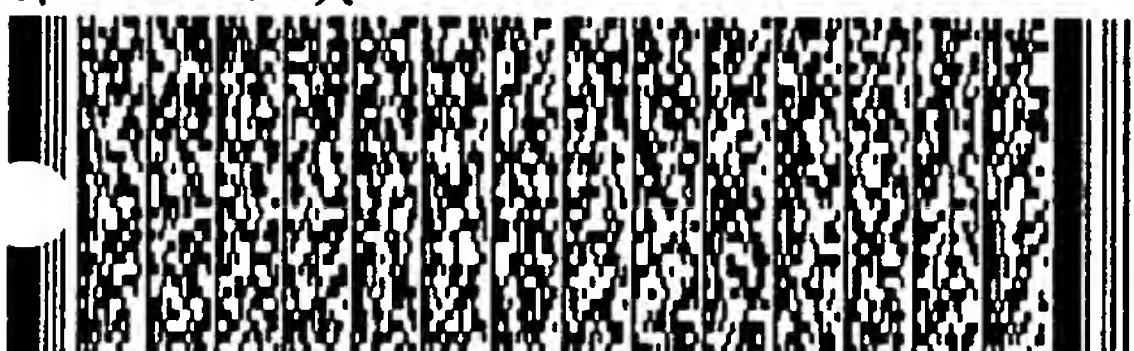
第 20/25 頁



第 20/25 頁



第 21/25 頁



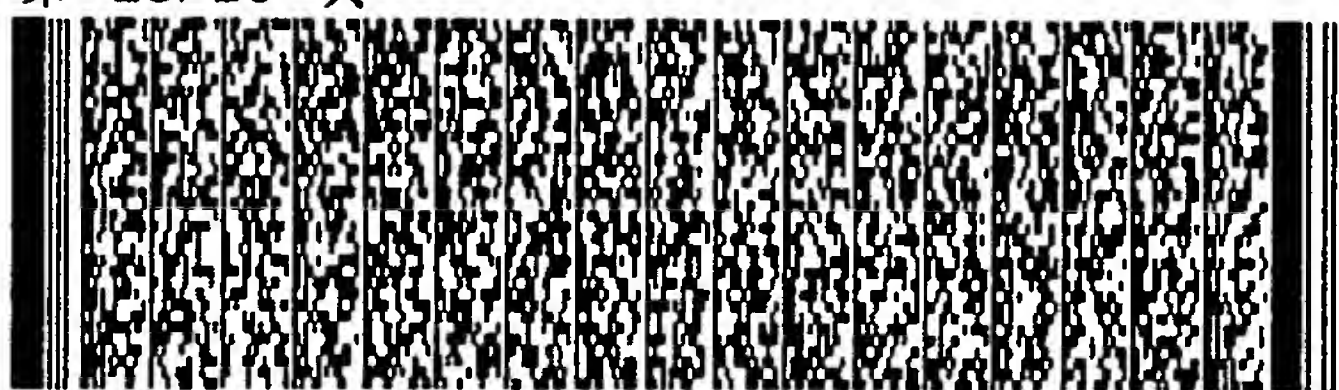
第 21/25 頁



第 22/25 頁



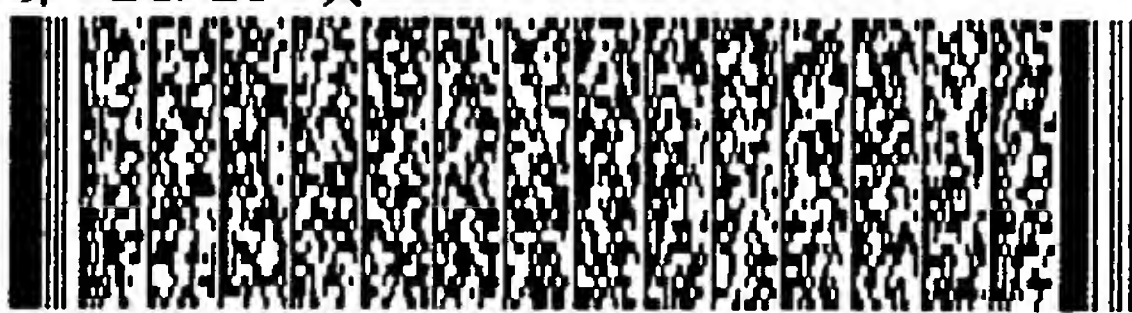
第 23/25 頁



第 24/25 頁



第 24/25 頁



第 25/25 頁

